

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-113732

(43)Date of publication of application : 15.04.1992

(51)Int.Cl.

H04J 13/00

(21)Application number : 02-233646

(71)Applicant : RICOH CO LTD

(22)Date of filing : 03.09.1990

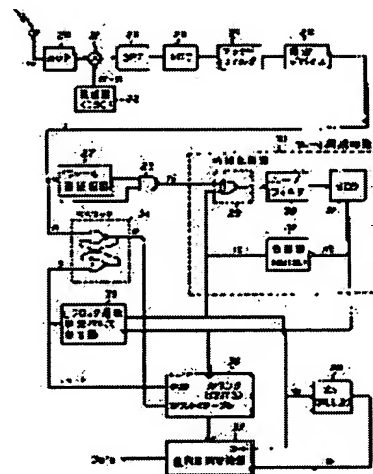
(72)Inventor : HASEGAWA TAKAAKI

(54) SPREAD SPECTRUM PULSE POSITION MODULATION COMMUNICATION SYSTEM

(57)Abstract:

PURPOSE: To realize the reception system with only one SAW matched filter by clearing a counter only when a frame signal is set, counting data while an output signal of an RS latch is set, latching the data in a register while the count is stopped and outputting the data serially.

CONSTITUTION: A signal of a prescribed level whose frequency is decreased to a center frequency is inputted to a matched filter 25 and when there is any input in matching with a pattern of the matched filter 25, a signal of an intermediate frequency equivalent to one chip period is pulsively outputted and a detection device 26 detects the signal in terms of envelope. A counter CNT 3 is cleared at the start of a data slot (start = 1) and the counter counts the signal only when an RS latch 34 is set. The value when the count is finished is a value of sent symbol. The value is fetched in a parallel serial converter 37, from which a serial data is outputted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-113732

⑤ Int. Cl.⁵
H 04 J 13/00識別記号 庁内整理番号
Z 7117-5K

⑬ 公開 平成4年(1992)4月15日

審査請求 未請求 請求項の数 2 (全10頁)

⑭ 発明の名称 スペクトル拡散パルス位置変調通信方式

⑮ 特 願 平2-233646

⑯ 出 願 平2(1990)9月3日

⑰ 発 明 者 長 谷 川 孝 明 埼玉県川口市南前川1-14-10 プルジョン2-202号
 ⑱ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
 ⑲ 代 理 人 弁 理 士 高 野 明 近 外1名

明 細 書

1. 発明の名称

スペクトル拡散パルス位置変調通信方式

2. 特許請求の範囲

1. 周期Lの擬似雑音系列を用い、1フレームがM+2Lスロットよりなるフレームにおいて、該フレームのスロットレートは前記擬似雑音系列のチップレートに同じで、特定のスロットから始るLスロットには常に同期信号として1周期分の前記擬似雑音を挿入し、該同期信号の最後のスロットの次のスロットからであって、かつ前記同期信号の最初のスロットよりL+1スロット前までのスロットに対応する各フレーム中のM個の何れから始るLスロットの前記擬似雑音を挿入し、該擬似雑音の挿入スロット位置を伝送すべきデータシンボルに対応させ、連続する前記フレームを伝送することを特徴とするスペクトル拡散パルス位置変調通信方式。

2. 送信機においては、送信データを並列データに変換してM個のシンボルとする直列並列変換

器を有し、周期Lの擬似雑音系列を用い、1フレームがM+2Lスロットよりなるフレームにおいて、該フレームのスロットレートは前記擬似雑音系列のチップレートに同じで、特定のスロットから始るLスロットには常に同期信号として1周期分の前記擬似雑音を挿入し、該同期信号の最後のスロットの次のスロットからであって、かつ前記同期信号の最初のスロットよりL+1スロット前までのスロットに対応する各フレーム中のM個の何れから始るLスロットの前記擬似雑音を前記M個のシンボルに対応させるとともに挿入し、連続する前記フレームを伝送線路に送出し、受信機においては、伝送線路から入力され信号をマッチドフィルタに入力し、該マッチドフィルタの出力信号を検波デバイスに入力し、該検波デバイスの出力信号を遅延時間が前記1フレーム分の遅延回路と、アンド回路と、RSラッチ回路のリセット入力端子の各々に入力し、前記遅延回路の出力信号を前記アンド回路に入力し、該アンド回路の出力信号をフレーム同期回路に入力し、該フレーム

同期回路は中心発振周波数がある値である可変周波数の源発振器の出力信号を $1/(M+2L)$ に分周する分周器に入力し、該分周器の出力信号を位相比較器に入力し、該位相比較器の位相比較信号を前記源発振器に入力する位相同期ループ(PLL)によって構成され、前記分周器の出力信号をLクロック遅延単発パルス発生器に入力し、前記源発振器の出力をカウンタのカウント入力端子に入力し、前記Lクロック遅延単発パルス発生器の出力信号をフレーム同期信号とし、該フレーム同期信号を前記RSラッチのセット端子と前記カウンタのクリアー端子とに入力し、前記RSラッチの出力信号を前記カウンタのカウント・イネーブル端子に入力し、前記カウンタは、前記フレーム信号がオンになった時、該カウンタのカウント値をクリアーし、前記RSラッチの出力信号がオンの間だけカウントし、該並列直列変換器は前記カウンタのカウント出力信号を入力されて、該カウンタがカウントを停止している期間に、該カウント出力信号をレジスターに保持し、該レジ

スタは、拡散符号の周期を $T[\text{sec}]$ として、 $1/T$ [bps] を越えることはできない。一方、後者では、使用する直交する拡散符号の個数 M を増やすことにより、情報の伝送速度を $(1/T) \log_2 M [\text{bps}]$ とすることができる。すなわち、これは直交変調方式そのものであり、その伝送速度は符号の個数(種類)の増大と共に増加し、性能はシャノンリミットに近づく。しかしながら、この場合符号の個数だけのマッチドフィルタを要求される。これは、大きなコストの上昇及び装置の大型化を招くという問題がある。

第8図(a)、(b)は、オン・オフ・キーイング(SSOOK)方式を説明するための図で、図(a)はオン・オフ・キーイング方式の信号を示す図で、図(b)はマッチドフィルタによる復調を示す図である。情報は拡散符号の有無に乗せられる。図は符号長及びSAWマッチドフィルタの段数を L とし、情報 1, 1, 0, 1, 0, 1, 1, 1 を送信した例である。

第9図(a)、(b)は、コード・シフト・キ

ーの出力信号を直列に出力することで、受信データとすることを特徴とするスペクトル拡散パルス位置変調通信方式。

3. 発明の詳細な説明

技術分野

本発明は、スペクトル拡散パルス位置変調通信方式に関し、より詳細には、スペクトル拡散通信システムや直接拡散方式のパルス位置変調通信方式に関する。例えば、無線通信モデムに適用されるものである。

従来技術

SAW(表面弾性波)マッチドフィルタは、通常は、使用されている拡散符号長と同じ段数の遅延により構成される。従って、これを復調に用いる場合、1つの拡散符号(シーケンス)のオン・オフ・キーイング方式か、または、複数の拡散符号の内どれか一つを情報によって選択するコード・シフト・キーイング方式をとる。このとき情報の変調は、前者では拡散符号長(周期)かその整数倍ごとの変調に限られる。すなわち、情報の伝送速度

ーイング方式、直交変調方式を説明するための図で、図(a)はコード・シフト・キーイング方式の信号の送信を示す図で、図(b)は、マッチドフィルタによる復調を示す図である。コード・シフト・キーイング方式、直交変調方式の両方式とも、送信情報により、符号1〜符号Mのいずれか1つを選択し、送信する方式である。符号が相互に完全に直交している場合、直交変調方式ということになる。

目 的

本発明は、上述のごとき実情に鑑みてなされたもので、スペクトル拡散通信方式において、オン・オフ・キーイング方式よりも性能が高く、かつコード・シフト・キーイング方式のような多数のマッチドフィルタを必要とせず、ただ一つのSAWマッチドフィルタで受信システムを実現するようにしたスペクトル拡散パルス位置変調(SSPPM)通信方式を提供することを目的としてなされたものである。

構 成

本発明は、上記目的を達成するために、(1) 周期 L の擬似雑音系列を用い、1フレームが $M+2L$ スロットよりなるフレームにおいて、該フレームのスロットレートは前記擬似雑音系列のチップレートに同じで、特定のスロットから始る L スロットには常に(全てのフレームにおいて)同期信号として1周期分の前記擬似雑音を挿入し、該同期信号の最後のスロットの次のスロットからであって、かつ前記同期信号の最初のスロットより $L+1$ スロット前までのスロットに対応する各フレーム中の M 個の何れからか始る L スロットの前記擬似雑音を挿入し、該擬似雑音の挿入スロット位置を伝送すべきデータシンボルに対応させ、連続する前記フレームを伝送すること、或いは、

(2) 送信機においては、送信データを並列データに変換して M 個のシンボルとする直列並列変換器を有し、周期 L の擬似雑音系列を用い、1フレームが $M+2L$ スロットよりなるフレームにおいて、該フレームのスロットレートは前記擬似雑音系列のチップレートに同じで、特定のスロットか

ら始る L スロットには常に(全てのフレームにおいて)同期信号として1周期分の前記擬似雑音を挿入し、該同期信号の最後のスロットの次のスロットからであって、かつ前記同期信号の最初のスロットより $L+1$ スロット前までのスロットに対応する各フレーム中の M 個の何れからか始る L スロットの前記擬似雑音を前記 M 個のシンボルに対応させるとともに挿入し、連続する前記フレームを伝送線路に送出し、受信機においては、伝送線路から入力され信号をマッチドフィルタに入力し、該マッチドフィルタの出力信号を検波デバイスに入力し、該検波デバイスの出力信号を遅延時間が前記1フレーム分の遅延回路と、アンド回路と、RSラッチ回路のリセット入力端子の各々に入力し、前記遅延回路の出力信号を前記アンド回路に入力し、該アンド回路の出力信号をフレーム同期回路に入力し、該フレーム同期回路は中心発振周波数がある値である可変周波数の源発振器の出力信号を $1/(M+2L)$ に分周する分周器に入力し、該分周器の出力信号を位相比較器に入力し、

該位相比較器の位相比較信号を前記源発振器に入力する位相同期ループ(PLL)によって構成され、前記分周器の出力信号を L クロック遅延単発パルス発生器に入力し、前記源発振器の出力をカウンタのカウント入力端子に入力し、前記 L クロック遅延単発パルス発生器の出力信号をフレーム同期信号とし、該フレーム同期信号を前記RSラッチのセット端子と前記カウンタのクリアー端子とに入力し、前記RSラッチの出力信号を前記カウンタのカウント・イネーブル端子に入力し、前記カウンタは、前記フレーム信号がオンになった時、該カウンタのカウント値をクリアーし、前記RSラッチの出力信号がオンの間だけカウントし、該並列直列変換器は前記カウンタのカウント出力信号を入力されて、該カウンタがカウントを停止している期間に、該カウント出力信号をレジスタに保持し、該レジスタの出力信号を直列に出力することで、受信データとすることを特徴としたものである。以下、本発明の実施例に基づいて説明する。

まず、第4図～第7図に基づいて、本発明によるスペクトル拡散パルス位置変調通信(SS-PPM)方式の概要を説明する。

第4図は、スペクトル拡散パルス位置変調システムの信号構成を示す図である。使用する拡散符号(擬似雑音系列; PN code)並びにSAWマッチドフィルタの段数を L とし、スペクトル拡散パルス(SSパルス)の位置を1フレーム中 M 箇所とするものとする。と $\log_2 M \text{ bit/frame}$ 、送信1フレームは $M+2L$ スロットで構成される。1スロット長は擬似雑音符号の1チップ長と等しい。図中、最後のスロットは同期信号として、さらにその前の L スロットはパルスの重複を防ぐスロットとしてとっておく。すなわち、SS-PPM送信用の情報パルスは、第1スロットから第 M スロットのいずれかで始まり、そのスロットから L スロットの間にSSパルスとして存在するわけである。

さて、いま拡散符号のチップ速度を R_c とすると、1フレームは $2L+M$ スロットで $\log_2 M$ ビットの情報が伝送可能なので、そのときの情報伝送

速度 R_s は、

$$R_s = (\log_2 M) R_c / (2L + M) \text{ [bps]} \quad (1)$$

(M : 2以上の整数)

となる。 R_s は M に関し、上に凸の関数であり、最大値を持つ。いま、 L を 128 とすると情報の伝送速度は第5図のようになる。ここで、 $L = 128$ は微弱無線通信の実験から十分実用的な値と考えられる。

スペクトル拡散パルス位置変調通信 (SS-PPM) 方式とオン・オフ・キーイング (SS-OOK) 方式の誤り率(いずれも包絡線検波)は次のようになる。伝送帯域、情報伝送速度(第5図より、 $M = 2^8$ の場合)を同一とした場合の比較を第6図に示す。ここで、SS-PPM は M 個のスロットからの最尤判定の場合の計算を行っており、さらに、 M 値のシンボル誤り率から、2値のビット誤り率に変換している。各フレームに同期用擬似雑音符号パルスを入れた場合と、入れない場合の誤り率を示しているが、いずれも大幅に SS-OOK に比べ特性の向上が見られる。

リセットをかけ、その間のパルスのカウントから情報を得る。

もちろん、このような方法の他に、マッチドフィルタ出力をチップ速度でサンプリングし、デジタル信号処理により、最尤判定を行うことも処理速度次第では可能である。

第1図は、本発明によるスペクトル拡散パルス位置変調通信方式の一実施例を説明するための送信機の構成図で、図中、1はクロック発生器、2はモジュール $M + 2L$ カウンタ (CNT1)、3は $M + L - 1$ 検出器 (DET1)、4はコンパレータ、5は直列並列変換器、6はバッファ、7は遅倍回路 (PLL1)、8はORゲート、9は擬似雑音 (PN) 信号発生器、10は変調器 (MOD)、11は発振器、12はバンドパスフィルタ (BPF; Band Pass Filter) である。

クロック信号発生器は直接拡散 (DS) 方式におけるチップレートに相当するクロックを発生する。このクロックの信号名およびクロック速度を混乱のない限り R_c で表記する。ここの例では、

第7図は、スペクトル拡散パルス位置変調通信方式の受信システムの構成例を示す概念図で、図中、40はマッチドフィルタ (Matched Filter)、41は遅延回路、42はANDゲート、43は位相同期ループ (PLL)、44はフリップフロップ、45はANDゲート、46はカウンタである。

ここでは、 M スロットの最尤判定ではなく、マッチドフィルタリング後にスレッショルドを切るタイミングを用いる、いわゆる現実的な簡易なシステムを示している。

マッチドフィルタリング後の出力パルスは1フレームの遅延がかけられ、同じくマッチドフィルタ出力信号とANDがとられる。すなわち、このAND出力は基本的にフレーム速度 R_f のパルスとなる。偶然2フレーム続けて同じ情報が送られた場合、PLLの入力にはパルスが現われるが、PLLの時定数により、PLL出力にはフレーム信号のみが現われる。さらにこのPLLの周波数遅倍機能を使い、 $(M + 2L)$ 倍のチップ速度を得る。フレーム信号でセットを行い、情報信号で

$R_c = 12.8 \text{ MHz}$ であるとする。CNT1はモジュール (Module) $M + 2L$ カウンタ (Counter) である。ここで、 $L = 128$ 、 $M = 2^8 = 256$ であるとする、 $M + 2L = 512 = 2^9$ であるから、この数値の列では通常の9ビットカウンタで実現できる。CNT1の出力信号名とそのカウント値の両方を C で表記する。

DET1は $M + L - 1$ を検出する検出器3であり、一般的な論理回路ではデコーダと呼ばれることもある。この例における数値では、 $M + L - 1 = 383$ であり、DET1は $C = 383$ を検出した時に論理1を出力する。この出力の周波数(同期の逆数)は、CNT1の出力周波数に等しいから、

$R_c / (M + 2L) = 12.8 \cdot 10^6 / 2^9 = 25 \cdot 10^3 \text{ (Hz)}$ となる。この数値を、シンボルレート (f_s) と呼ぶ。この出力信号とシンボルレートに混乱を来さない限り、同一の f_s で表記する。

PLL1はDET1の出力を n 倍の周波数に遅倍する回路7である。遅倍回路7は種々知られて

いるが、ここではPLL（位相同期ループ）による逡倍を例として挙げておく。ここの数値例としては $n=8$ であり、この逡倍回路7の出力周波数（ f_b ）は先のシンボルレート（ f_s ）の n 倍である。すなわち、

$$f_b = n \cdot f_s = 8 \times 25 \cdot 10^3 = 200 \cdot 10^3 \text{ (Hz)}$$

である。

直列並列変換器5は、通常 n ビットのシフトレジスタによって構成され、ここでは、8ビットのシリアルイン・パラレルアウトのシフトレジスタである。入力であるシリアル・データは出力周波数（ f_b ）のタイミングでサンプルされるから、この出力周波数（ f_b ）をビットタイミング信号と呼び、同じ記号を、ビットレート（伝送速度）を表すものとする。すなわち、

$$f_b = 200 \cdot 10^3 \text{ (bit/sec)}$$

という意味にも用いる。なお、逡倍回路（PLL）7はシンボルレート（ f_s ）の n 倍に相当する信号を出せば良いから、全く別の回路でも実現可能である。シンボルレート（ f_s ）はCNT1の周

は、

$$M = 2^n = 2^8 = 256$$

である。なお、シンボルSは、通常のモデム等で良く行なわれるように、受信機で判定誤りを起こしやすいシンボル間の符号間距離が最小になるように、符号変換が行なわれても良い。また、ディファレンシャル・エンコーディング（差分符号化）が行われても良い。

コンパレータ4は $C=S$ になった時、論理1を出力する。この出力信号を e_q と表記する。ここで、 S は $0 \leq S < M = 256$ であり、 C は $0 \leq C < M + 2L = 512$ であり、 S 、 C のそれぞれは8ビット、9ビットで表現されている。従って、この例では、コンパレータ4は、 S の最上位ビットのさらに上位ビットが0である物として扱う。

論理ORゲート8は f_s と e_q を合成する。その信号名を p とする。後述するように f_s はフレーム同期信号の位置を示し、 e_q はデータシンボルに対応する位置を示す。なお、ORゲート8の出力パルス幅は1チップ分であることをこの実施

期に一致するから、CNT1のカウント値を適当に n 個デコードし、その論理和を使用することができる。ここにおける数値では、CNT1の周期が 2^8 カウントであったから、 $2^8/8 = 2^8$ カウント毎にパルスが発生させれば良い。この方法としては良く知られているように、CNT1(C)の下位6ビットが特定の値、例えば全て論理0になった場合、を検出すれば良い。より具体的には、CNT1(C)の下位6ビットをLogical NORゲートに入力することで得られる。

バッファ(Buffer)はシンボルレート（ f_s ）のタイミングで、直列並列変換器の出力信号をサンプルする n ビットのパラレルイン・パラレルアウトのレジスタである。ここの例では、8（ $=n$ ）個のDフリップフロップ(Flip-Flop)である。このバッファ(Buffer)の出力は、入力直列データを並列に変換し、タイミングが揃えられた物であり、この信号をシンボルSと称し、その出力の2進数値を、混乱がない限り同一のSとする。このシンボルSのとり得る値は全部で M 個である。ここで

例では仮定しているが、DET1やコンパレータの出力波形がなまったり、グリッチを生じたり、二つの出力に位相ずれを生じたりするような回路構成の場合は、通常の良く知られた方法であるが、ORゲート8の出力信号を一度D-FF(D Flip-Flop)でバッファすれば良い。この時のクロックは R_c である。

PN発生器9は p にパルスが乗った時、Lチップに渡って雑音系列を発生し、その後、0を出力する。この出力名を p_n とする。この詳細については後述する。雑音系列の典型的な例としてはM系列が良く知られている。ここでは、 $L=128$ としているが、 $L=127, 1023$ といった数値を採る事は一向に差し支えない。この場合、M系列が使用できる。

発振器(OSC)11は搬送周波数の発振器であり、その信号名と周波数を f_c で表記する。

MODは変調器10であり、 f_c と p_n を乗ずる。その出力信号名を t_x とする。 t_x は、BPF(Band Pass Filter)12によって、不要

周波数成分を除去され、図示はしていないが、適当にバッファアンプや出力アンプ等によって増幅されてアンテナより電波として出力される。その電波信号を t_x とする。なお、ここでは、アンテナより電波として出力したが、同軸ケーブルに高周波信号として出力しても良い事は明らかである。また、伝送媒体が、例えば、水であれば、アンテナをスピーカに、電波を超音波に置き換える事で、全く同一原理の通信システムが構成される事も明らかである。すなわち、伝送信号は電波（電磁波）に限られず、電気、音波（弾性波）、光（特に赤外線）の何れにも適用できる。これらの場合の伝送媒体例は、それぞれ、空間あるいは導波管、ケーブルの様な電線路、水（の様な液体）や空気（の様な気体）や金属（の様な固体）、空間や光ファイバーが対応する。伝送線路は、導波管やケーブルな光ケーブルの様に一对一に接続されるような場合ばかりでなく、上記の様に、空間的な拡がりのある伝送媒体についても拡大解釈されるべき物である。すなわち、信号が放送（Broadcast）

される様な場合でも、個々の送受信機間で、信号が伝わる限り、伝送線路が存在すると考えるべきである。

第2図は、擬似雑音(PN)信号発生器の構成図で、図中、13はカウンタ(CNT2)、14はL-1検出器(DET2)、15はROM(Read Only Memory)、16はフリップフロップ(FF1)、17はNANDゲート、18はANDゲート、19はフリップフロップ(FF2)である。

一般に、ある特定のビットパターンを時系列に出力させる方法は種々知られている。ここで必要な条件は、入力信号 p に1個のパルスが乗った時、クロック R_c に同期して(事前に定められた)一定のビットパターン系列を L ビットだけ出力する事である。この実施例では、一般的なビットパターンを出力するために、ROM(Read Only Memory)15にその1周期のビットパターンを書込んでおき、それを読み出すようにしている。カウンタ(CNT2)13は同期式クリア(Synchronous Clear)およびカウント・イネーブル(Count Enable)

機能のある同期式カウンタ(Synchronous Counter)13である。この機能を持つICの例としてはSN74LS163A(Texas Instruments社)が挙げられる。ただし、同ICはSynchronous Clear端子が負論理になっているので注意する必要がある。CNT2は0から少なくとも $L-1$ までをカウントできなくてはならない。ここでは、 $L-1=127$ であるから7ビットのバイナリカウンタが使用できる。CNT2の出力を k で示す。DET2は $L-1$ を検出する検出器14である。ここでは $L-1=127$ であるから、 k の各バイナリディジットが全て論理1になった事を検出すれば良い。これは、7入力AND回路で実現される。DET2の出力信号を $last$ で示す。

p にパルスが乗り、クロック R_c が立上ると、CNT2はクリアーされ、 $k=0$ となる。この時、DET2によって、 $last=0$ となり、インバータ(INV)によってCNT2のカウント・イネーブル端子に論理1が加えられる。 p に乗っているパルスのパルス幅は、 R_c 1周期分しかないから、

以後、CNT2はカウントを開始する。 $k=L-1$ になると、 $last=1$ となり、CNT2のカウント・イネーブル(Count Enable)端子に論理0が加えられ、カウントが停止する。

信号線 g はFF1とNAND17によって、 $last$ が現在と1クロック前の値が共に論理1であったときのみ $g=0$ となる。従って、CNT2がカウント停止後、1クロック遅れて $g=0$ となる。 $p=1$ が来て、CNT2がカウントを $k=0$ から始関すると、 $last=0$ になり、従って、 $g=1$ になる。カウントが進み、 $k=L-1$ になると、 $last=1$ になるが、この時ではまだ $g=1$ である。もう1クロック後たつと、 $g=0$ になる。すなわち、 g は k が0になってから L クロック間だけ論理1になっている。

ROM15は既に述べたように、 k をインデックスとして、雑音系列 n_k を発生させるもので、 $k=0 \sim L-1$ である。ROM15は一般に大容量の物が簡単に実現できるから、アドレス線を余分に付加え、それを切換える事で様々な雑音系列

を選択できるようにできる。また、通常のROMの出力はワード構成になっているから、そのワードのどのビット線を選択するかセレクターを使用する事で、雑音系列を選択できる。これらの手法は、一般に良く知られている。

AND18は雑音系列nkから1周期分(Lクロック間)を切出し、FF2によって、1周期分の完全な雑音系列pnを出力する。

第3図は、本発明によるスペクトル拡散パルス位置変調通信方式に用いられる受信機の構成図で、図中、20は増幅器、21は変調器、22は発振器(OSC)、23はバンドパスフィルタ(BPF)、24は自動利得制御(AGC)、25はマッチドフィルタ(Matched Filter)、26は検波デバイス、27は1フレーム遅延回路(1Frame Delay)、28はANDゲート、29は位相比較器(Phase Comparator)、30はループフィルタ(Loop Filter)、31は電圧制御発振器(VCO)、32は分周器、33はフレーム同期回路、34はRSラッチ回路、35はLクロック遅延

単発パルス発生器、36はカウンタ(CNT3)、37は並列直列変換器、38は遅倍回路(PLL2)である。

アンテナで受信した信号rxは伝送歪と伝送遅延を除けばtxと相似である。通常の受信機が行なうように、増幅され中間周波数に落とされ中間周波数で帯域が(BPFによって)制限され、AGC24によって一定レベルにされる。これらはあまりに良く知られているのでここではこれ以上説明しない。

中間周波数に落とされた一定レベルの信号はマッチド・フィルタ25に入力される。ここでマッチド・フィルタ25のパターンと一致する入力があると、1チップ区間相当の中間周波数の信号がパルス状に出力される。この信号は検波デバイス26によって包絡線検波される。この検波デバイス26の出力をdとする。このdは1フレーム遅延回路(1Frame Delay)27に入力される。AND28はdと1フレーム前のdとの論理積をとる。1フレームの長さは(M+2L)チップ分

ある。送信機の説明で述べたように、フレーム同期信号が各フレーム中の同一場所に(拡散されて)常にあるから、このAND28の出力には常にフレーム同期信号が含まれる事になる。このAND28の出力をfs'とする。

フレーム同期回路33はfs'に同期したフレーム同期信号fsを再生し、さらにチップレベルのチップ(スロット)同期信号Rc'を再生する。この回路は位相同期ループ(PLL)で構成されて、発振器VCO31の中心発振周波数はRcに設定されている。VCO31の出力Rc'は分周器によって1/(M+2L)に分周される。ここではM+2L=512であったので9ビットのバイナリカウンタで実現され、第1図におけるCNT1と同一の物が使用できる。分周器32の出力をfsとする。フレーム同期回路中の位相比較器29はfs'とfsのパルスの位相を比較する。この位相比較器29は様々なものが知られているが、ここではイクスクルーシブ・オア(排他的論理和; EX-OR)の例を示す。このイクスクル

ーシブ・オアによる比較器は、少なくとも一方の入力信号のパルスのデューティ比が50%でなければならないが、比較信号中に多少の(異常な)パルスが加わっても動作に異常をきたさないことが利点である。位相比較器の出力はループフィルタ30を通してからVCO31の周波数制御入力端子に入力される。ここでは、fsのデューティ比が50%であるとする。良く知られているように、この例では、fsの立上がりエッジがfs'のパルスの(フレーム同期信号の)中央に位相ロックされる。

fsはLクロック遅延単発パルス発生器35に入力される。この回路は、fsの立上がりから丁度Lクロックだけ遅れて1クロック(チップ)の幅のパルスを発生する。この信号をスタート(start)とする。この実現方法は、直感的にはL段のシフトレジスタにfsを入力し、クロックをRc'で駆動し、最終段が論理0、その直前の段が論理1になった時に(デコーダによって)論理1を出力する方法が挙げられる。勿論、適当なカウンタと、

デコードを組合せる事で、同一機能が実現できる事はいうまでもない。

RSラッチ34はスタートによってセットされ、dによってリセットされる。スタートは同期PN Codeの次のタイミング、すなわち、データシンボル(s)に挿入されるべきスロットの最初を示している。一方、dはフレーム同期信号と実際に挿入されたデータシンボルのスロットを示している。従って、dのフレーム同期信号でRSラッチ34がリセットされた後（実は既にリセットされている）、Lチップ後、スタートによってセットされ、dの挿入されたデータシンボルのスロットでリセットされる。すなわち、RSラッチ34のセットされている期間は挿入されたデータシンボルのスロット番号(s)に相当する。従ってこの期間カウンタでチップ数をカウントする事で伝送されて来たシンボルsを求めることができる。

CNT3はCNT2と同様のカウンタ36である。ただし0から少なくともM-1間ではカウントできなければならない。データスロットの最初

シフト・キーイングに近い性能が得られる。

4. 図面の簡単な説明

第1図は、本発明によるスペクトル拡散パルス位置変調通信方式の一実施例を説明するための送信機の構成図、第2図は、擬似雑音(PN)信号発生器の構成図、第3図は、本発明によるスペクトル拡散パルス位置変調通信方式に用いられる受信機の構成図、第4図は、スペクトル拡散パルス位置変調システムの信号構成を示す図、第5図は、情報の伝達速度を示す図、第6図は、誤り率の比較を示す図、第7図は、受信システムの構成図、第8図は、オン・オフ・キーイング方式を説明するための図、第9図は、コード・シフト・キーイング方式を説明するための図である。

1…クロック発生器、2…モジュールM+2Lカウンタ(CNT1)、3…M+L-1検出器(DET1)、4…コンパレータ、5…直列並列変換器、6…バッファ、7…逡倍回路(PLL1)、8…ORゲート、9…擬似雑音(PN)信号発生器、10…変調器(MOD)、11…発振器、

で(start=1)CNT3はクリアーされ、RSラッチ34がONの期間だけ、カウントする。カウントが終了時の値は伝送されて来たシンボルの値である。この値は並列直列変換器37に取込まれ、直列のデータとして出力される。これが受信データである。

並列直列変換器37は、一般にパラレルロード・シフトレジスタによって構成される。パラレルロードのタイミングはCNT3がクリアーされる直前が良く、スタートあるいはfsを使用することができる。このシフトレジスタはビットレートfb(=n・fs)で駆動される必要があるが、これは第1図と同様に逡倍回路(PLL2)38によって作られる。このfbもまた、送信機の説明と同様に、分局器の内部状態を適当にデコードすることで作れることはいうまでもない。

効 果

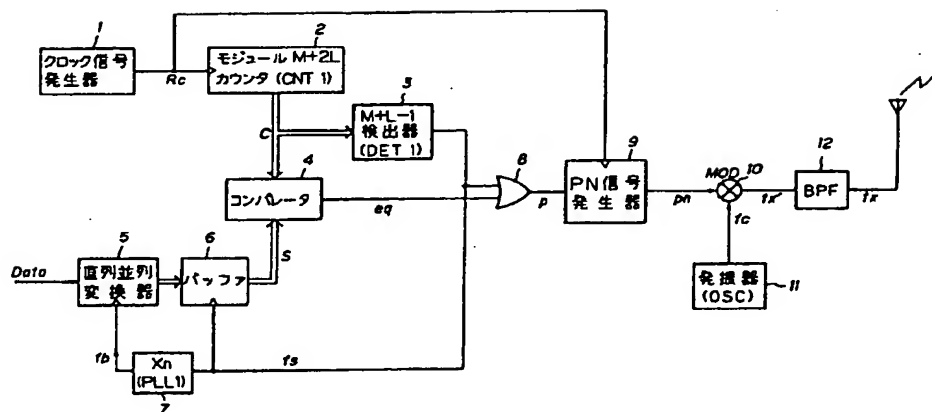
以上の説明から明らかなように、本発明によると、オン・オフ・キーイング方式よりも高性能で、たった1個のマッチド・フィルタ構成で、コード・

12…バンドパスフィルタ(BPF; Band Pass Filter)。

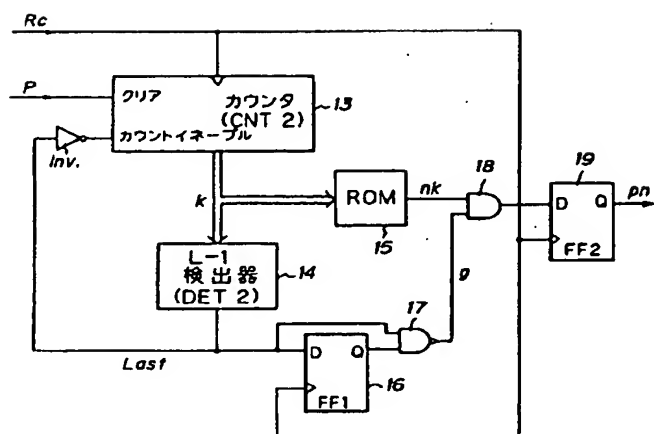
特許出願人 株式会社 リ コ ー
代理人 高 野 明 近
(ほか1名)



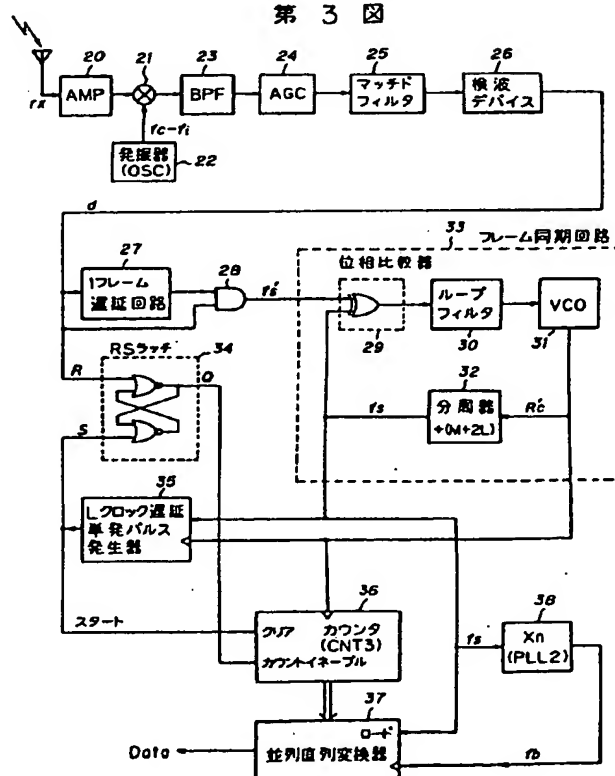
第 1 図



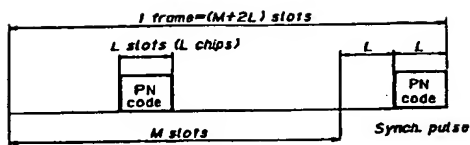
第 2 図



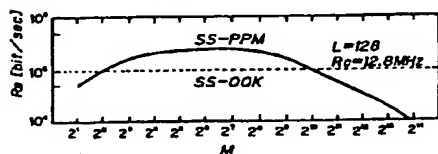
第 3 図



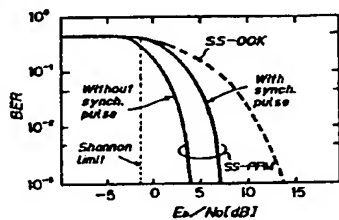
第 4 図



第 5 図

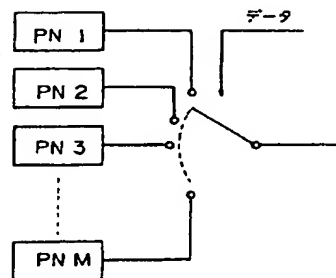


第 6 図

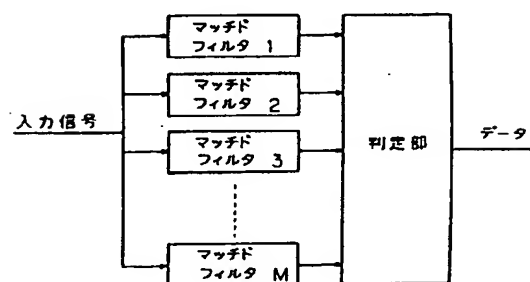


第 9 図

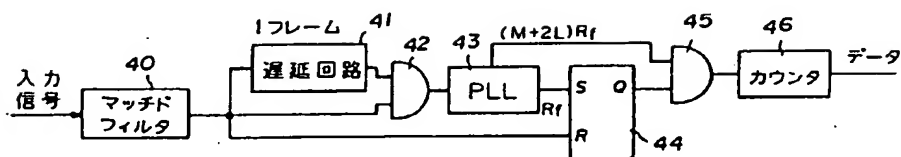
(a)



(b)

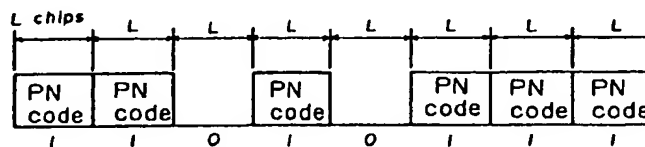


第 7 図



第 8 図

(a)



(b)

